

Refn
DERWENT-ACC-NO: 1999-294134

DERWENT-WEEK: 199925

COPYRIGHT 2002 DERWENT INFORMATION LTD

Bad Date } intermediate date

TITLE: Dynamic random access memory manufacture - involves forming column having uneven side wall surface by performing anisotropic plasma etching of CVD oxide film

PRIORITY-DATA: 1997JP-0250480 (September 16, 1997)

PATENT-FAMILY:

PUB-NO

PUB-DATE

LANGUAGE

PAGES MAIN-IPC

JP 11097641 A

April 9, 1999

010

H01L027/108

INT-CL (IPC): H01 L 21/822; H01 L 21/8242; H01 L 27/04; H01 L 27/108

ABSTRACTED-PUB-NO: JP 11097641A

BASIC-ABSTRACT:

NOVELTY - The anisotropic plasma etching of CVD oxide film (16) is performed for forming a column (32) having an uneven sidewall surface.

DETAILED DESCRIPTION - CVD oxide film (16) is deposited on a semiconductor substrate (11) for forming a cylindrical capacitor. Amorphous silicon film (30) is deposited on the CVD oxide film. The patterning of the amorphous silicon film is performed to form an amorphous film pad. Polycrystalline film pad (31) having large crystal grains is formed processing the amorphous film pad at low temperature. Cylindrical polysilicon film functioning as an electrode of the cylindrical capacitor is formed on the uneven wall surface of a column (32) formed by etching the CVD oxide film. Silicon nitride thin film is deposited on the cylindrical polysilicon film. Polysilicon film functioning as another electrode of the cylindrical capacitor is deposited on the silicon nitride thin film.

USE - For manufacturing DRAM.

ADVANTAGE - Increases capacitor electrode area without increasing height of capacitor. Enables to produce DRAM having desired capacitance.

DESCRIPTION OF DRAWING(S) - The figure shows the sectional view of DRAM manufacturing process. (11) Semiconductor substrate; (16) CVD oxide film; (30) Amorphous silicon film; (31) Polycrystalline film pad; (32) Column.

Full Text

AN 1999-097641 JAPIO

TI METHOD FOR MANUFACTURING SEMICONDUCTOR STORAGE DEVICE
IN KIMURA TADAYUKI

PA SONY CORP

PI JP 11097641 A 19990409 Heisei

AI JP 1997-250480 (JP09250480 Heisei) 19970916

PRAI JP 1997-250480 19970916

SO PATENT ABSTRACTS OF JAPAN (CD-ROM), Unexamined Applications, Vol. 1999

IC ICM H01L027-108

ICS H01L021-8242; H01L027-04; H01L021-822

AB PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor storage device which is capable of surely obtaining desired capacity of a capacitor without increasing the height of the cylindrical capacitor so much.

SOLUTION: An amorphous silicon film 30 is deposited on a CVD oxide

film 16 used for a cylindrical capacitor formation, and this amorphous silicon film is patterned, and after an amorphous film pad is formed, the amorphous silicon film pad is replaced with a polycrystalline film having a large crystal particle size through a low temperature heating method, and a polysilicon film pad 31 having a rugged sidewall face is formed, and by use of the polysilicon film pad 31 having the rugged sidewall face as a mask, the CVD oxide film 16 is etched by anisotropic plasma etching, so that a pillar-like part 32 having a rugged sidewall face is formed by the CVD oxide film 16.

Full Text

AN 1999:233718 CAPLUS

DN 130:304989

TI Manufacture of semiconductor memory devices

IN Kimura, Tadayuki

PA Sony Corp., Japan

SO Jpn. Kokai Tokkyo Koho, 10 pp.

CODEN: JKXXAF

DT Patent

LA Japanese

IC ICM H01L027-108

ICS H01L021-8242; H01L027-04; H01L021-822

CC 76-3 (Electric Phenomena)

Section cross-reference(s): 75

FAN.CNT 1

PATENT NO.	KIND	DATE	APPLICATION NO.	DATE
------------	------	------	-----------------	------

JP 11097641	A2	19990409	JP 1997-250480	19970916
-------------	----	----------	----------------	----------

AB Amorphous Si films are formed on CVD oxide films for use in cylindrical capacitors, and patterned into pads, which are thermally treated at low temp. to transform into polycryst. films with large grain size and uneven side face, and the oxide films are plasma etched with the pads as masks, into cylinders with uneven side face. Cylindrical capacitors with desired capacitance and small height are formed.

ST silicon crystn capacitor semiconductor memory device; CVD plasma etching silica capacitor memory

IT Dielectric films

(crystn. of Si and plasma etching of oxide films in manuf. of semiconductor memory devices)

IT Crystallization

(crystn. of Si in manuf. of semiconductor memory devices)

IT Capacitors

Semiconductor device fabrication

Semiconductor memory devices

(epitaxy of electrodes and dielec. films in manuf. of semiconductor memory devices with trench capacitors)

IT Etching

(plasma; crystn. of Si and plasma etching of oxide films in manuf. of semiconductor memory devices)

IT 7440-21-3, Silicon, processes

RL: DEV (Device component use); PEP (Physical, engineering or chemical process); PROC (Process); USES (Uses)

(crystn. of Si in manuf. of semiconductor memory devices)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-97641

(43)公開日 平成11年(1999) 4月9日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 27/108
21/82A2
27/04
21/822

H 0 1 L 27/10
27/04

6 2 1 C
C

審査請求 未請求 請求項の数12 O L (全 10 頁)

(21)出願番号 特願平9-250480

(22)出願日 平成9年(1997) 9月16日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 木村 忠之

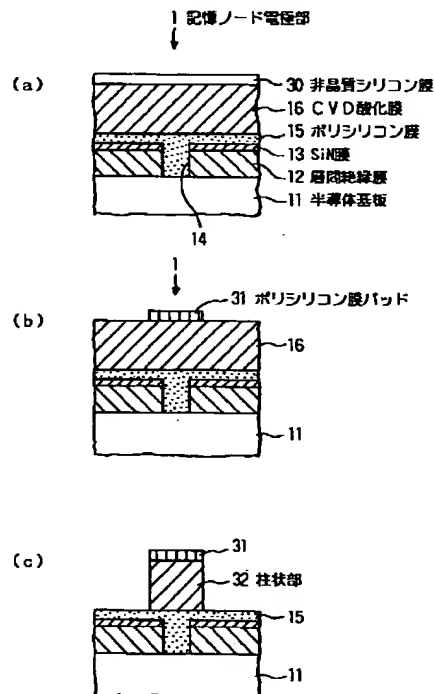
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(54)【発明の名称】 半導体記憶装置の製造方法

(57)【要約】

【課題】 筒状キャパシタの高さをあまり高くせずに、所望のキャパシタの容量が確実に得られる半導体記憶装置の製造方法を提供する。

【解決手段】 筒状キャパシタ形成に用いるCVD酸化膜16上に、非晶質シリコン膜30を堆積し、この非晶質シリコン膜をパターニングして、非晶質膜パッドを形成した後、低温熱処理法により、非晶質シリコン膜パッドを結晶粒径の大きい多結晶膜に変換して、凹凸側壁面を持つポリシリコン膜パッド31を形成し、この凹凸側壁面を持つポリシリコン膜パッド31をマスクとして、CVD酸化膜16を異方性プラズマエッチングによりエッチングすることで、CVD酸化膜16による、凹凸側壁面を持つ柱状部32を形成する。



【特許請求の範囲】

【請求項1】 筒状キャパシタを持つ記憶ノード電極を有する半導体記憶装置の製造方法において、前記筒状キャパシタ形成に用いる絶縁膜を堆積する工程と、

前記絶縁膜上に非晶質膜を堆積する工程と、前記非晶質膜をパターンニングして、非晶質膜パッドを形成する工程と、

低温熱処理法により、前記非晶質膜を結晶粒径の大きい多結晶膜に変換して、多結晶膜パッドを形成する工程と、

前記多結晶膜パッドをマスクとして、前記絶縁膜を異方性プラズマエッチングによりエッチングし、前記絶縁膜による、凹凸側壁面を持つ柱状部を形成する工程と、前記筒状キャパシタの一方の電極とする導電体膜を堆積する工程と、

前記筒状キャパシタの一方の電極とする前記導電体膜を異方性プラズマエッチングによりエッチバックして、前記柱状部側壁に筒状導電体膜を形成する工程と、前記筒状キャパシタの絶縁薄膜を堆積する工程と、前記筒状キャパシタの他方の電極とする導電体膜を堆積する工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項2】 前記筒状キャパシタ形成に用いる前記絶縁膜は、CVD酸化膜であることを特徴とする、請求項1に記載の半導体記憶装置の製造方法。

【請求項3】 前記非晶質膜は、非晶質シリコン膜であることを特徴とする、請求項1に記載の半導体記憶装置の製造方法。

【請求項4】 前記非晶質シリコン膜は、CVD法による堆積膜で、堆積時の被処理基板温度 T は、 $450^{\circ}\text{C} \leq T \leq 550^{\circ}\text{C}$ であることを特徴とする、請求項3に記載の半導体記憶装置の製造方法。

【請求項5】 前記筒状キャパシタの一方の電極とする前記導電体膜および前記筒状キャパシタの他方の電極とする前記導電体膜は、不純物のドーパされた多結晶シリコン膜および高融点金属シリサイド膜のうち、何れか一方の膜であることを特徴とする、請求項1に記載の半導体記憶装置の製造方法。

【請求項6】 前記筒状キャパシタの前記絶縁薄膜は、SiN膜であることを特徴とする、請求項1に記載の半導体記憶装置の製造方法。

【請求項7】 筒状キャパシタを持つ記憶ノード電極を有する半導体記憶装置の製造方法において、前記筒状キャパシタ形成に用いる絶縁膜を堆積する工程と、

前記絶縁膜上に多結晶膜を形成する工程と、等方性プラズマエッチング法、および異方性プラズマエッチング後に等方性プラズマエッチングを行うプラズマエッチング法のうち、何れか一方の方法により、前記多

結晶膜をパターンニングし、凹凸側壁面を持つ多結晶膜パッドを形成する工程と、

前記多結晶膜パッドをマスクとして、前記絶縁膜を異方性プラズマエッチングによりエッチングし、前記絶縁膜による、凹凸側壁面を持つ柱状部を形成する工程と、前記筒状キャパシタの一方の電極とする導電体膜を堆積する工程と、

前記筒状キャパシタの一方の電極とする前記導電体膜を異方性プラズマエッチングによりエッチバックして、前記柱状部側壁に筒状導電体膜を形成する工程と、前記筒状キャパシタの絶縁薄膜を堆積する工程と、前記筒状キャパシタの他方の電極とする導電体膜を堆積する工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項8】 前記筒状キャパシタ形成に用いる前記絶縁膜は、CVD酸化膜であることを特徴とする、請求項7に記載の半導体記憶装置の製造方法。

【請求項9】 前記多結晶膜は、低温熱処理法により、非晶質シリコン膜を結晶粒径の大きい多結晶シリコン膜に変換して形成する多結晶シリコン膜であることを特徴とする、請求項7に記載の半導体記憶装置の製造方法。

【請求項10】 前記非晶質シリコン膜は、CVD法による堆積膜で、堆積時の被処理基板温度 T は、 $450^{\circ}\text{C} \leq T \leq 550^{\circ}\text{C}$ であることを特徴とする、請求項9に記載の半導体記憶装置の製造方法。

【請求項11】 前記筒状キャパシタの一方の電極とする前記導電体膜および前記筒状キャパシタの他方の電極とする前記導電体膜は、不純物のドーパされた多結晶シリコン膜および高融点金属シリサイド膜のうち、何れか一方の膜であることを特徴とする、請求項7に記載の半導体記憶装置の製造方法。

【請求項12】 前記筒状キャパシタの前記絶縁薄膜は、SiN膜であることを特徴とする、請求項7に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体記憶装置の製造方法に関し、さらに詳しくは、ダイナミックRAM(DRAM)の記憶ノード電極が筒状キャパシタを有した半導体記憶装置の製造方法に関する。

【0002】

【従来の技術】近年、半導体記憶装置の一つであるDRAMは益々高集積化し、それに伴ってDRAMのメモリセルの占有面積は益々小さくなってきている。メモリセルの占有面積が小さくなると、メモリセルのスイッチング素子としてのMOSトランジスタや、信号を記憶する記憶ノード電極のキャパシタ部面積を小さくしなければならず、平面的なキャパシタ構成ではキャパシタの容量が小さくて、このキャパシタに記憶した信号が読み出せない。これは、DRAMのメモリセルのキャパシタ容

10

20

30

40

50

量、例えば容量 C_s に記憶した信号(電荷)を読み出す際、容量 C_s とビット線の容量 C_b の比があまりに小さいと、ビット線の電位変化が微小になり、DRAMのセンスアンプで確実に読み出せなくなるためである。記憶した信号を確実に読み出すために、キャパシタ容量 C_s とビット線容量 C_b の比としては、約1/10以上あることが要望されている。近年の高集積化したDRAMにおけるビット線の容量 C_b は200fF~300fF程度なので、キャパシタの容量 C_s としては、少なくとも20fF~30fF以上あることが要望される。

【0003】一般にキャパシタの容量を大きくするには、キャパシタの対向する電極の面積を大きくすること、キャパシタの対向する電極間の絶縁膜の膜厚を薄くすること、キャパシタの対向する電極間の絶縁膜の誘電率を大きくすること等により実現できる。しかし、キャパシタの容量を大きくするため、キャパシタの対向する電極間の絶縁膜の膜厚を薄くする方法を採ると、キャパシタの耐圧の低下や、均一な薄い絶縁膜を作製することの困難さという製造上の問題等があり、この絶縁膜の膜厚を薄くする方法には限界がある。また、キャパシタの対向する電極間の絶縁膜の誘電率を大きくする方法として、通常のDRAMのキャパシタの絶縁膜として用いられている SiO_2 膜や Si_3N_4 膜の代わりに、比誘電率が20~25の Ta_2O_5 膜や比誘電率が200~500のBST膜($BaTiO_3$ と $SrTiO_3$ との固溶体の膜)等の高誘電材料膜を使用する方法が開発されているが、リーク電流や熱安定性が問題で実用化が困難な状態である。上述した理由により、キャパシタの容量を大きくするための通常の方法は、キャパシタの対向する電極面積を大きくする方法が採られている。

【0004】高集積化したDRAMのメモリセルの小さな面積内で、20fF~30fF以上のキャパシタの容量を得るための、キャパシタの対向する電極の面積を大きくする方法としては、半導体基板上にトレンチを形成し、この部分にキャパシタを形成するトレンチキャパシタ法や、半導体基板上の絶縁膜上に平板状の電極を積層する方法や、筒状の電極を形成する方法等がある。ここでは、従来例の高集積化したDRAMの製造方法の例として、メモリセルの記憶ノード電極が筒状キャパシタを有したDRAMの製造方法を、図9および図10を参照して説明する。

【0005】まず、常法に準ずる製造方法により、DRAMの構成要素であるMOSTランジスタ等を半導体基板11に形成し、半導体基板11上には、層間絶縁膜12を形成する。次に、図9(a)に示すように、後述するCVD酸化膜16およびポリシリコン膜15のパターニング時のエッチング阻止膜とする SiN 膜13を減圧CVD法等により形成する。その後、記憶ノード電極部1の層間絶縁膜12と SiN 膜13に記憶ノード電極のコンタクトホール14を形成し、更にその後減圧CVD

法により、コンタクトホール14部や SiN 膜13上に不純物をドーパしたポリシリコン膜15を堆積する。

【0006】なお、ポリシリコン膜15表面を平坦化させるため、ポリシリコン膜15堆積後に、フォトレジストを塗布してエッチバックするか、又はポリシリコン膜15表面のCMP(Chemical Mechanical Polishing)をしてもよい。更に又、ポリシリコン膜15表面を平坦化させるため、コンタクトホール14にポリシリコン埋め込みプラグを形成し、その後にポリシリコン膜を形成するという、2段階の工程で、図9(a)に示すポリシリコン膜15を形成してもよい。次に、常圧CVD法を用いて、CVD酸化膜16を厚く堆積する。

【0007】次に、図9(b)に示すように、RIE(Reactive Ion Etching)等の異方性エッチングによりCVD酸化膜16とポリシリコン膜15とをパターニングし、CVD酸化膜16とポリシリコン膜15とによる柱状部17を形成する。なお、このCVD酸化膜16とポリシリコン膜15のエッチング条件は、 SiN 膜13がエッチング阻止層として働くようなエッチング選択比を持つ条件とする。その後、記憶ノード電極における筒状のキャパシタ電極とする不純物をドーパしたポリシリコン膜18を減圧CVD法により堆積する。

【0008】次に、図9(c)に示すように、ポリシリコン膜18を異方性RIE等によりエッチバックして、柱状部17側壁のポリシリコン膜18以外のポリシリコン膜18を除去することで、筒状ポリシリコン膜19を形成する。

【0009】次に、図10(d)に示すように、ウェットエッチング法により、柱状部17のCVD酸化膜16を除去する。

【0010】次に、図10(e)に示すように、窒素雰囲気中の熱処理により、筒状ポリシリコン膜19やポリシリコン膜15の表面の窒化処理をした後、減圧CVD法により、キャパシタの絶縁膜となる SiN 薄膜20を堆積する。その後、筒状ポリシリコン膜19やポリシリコン膜15より成る、記憶ノード電極のキャパシタ電極の対向電極とする、不純物をドーパしたポリシリコン膜21を堆積する。その後は、図面を省略するが、常法に準ずる製造方法により、DRAMを作製する。

【0011】上述したDRAMの製造方法により形成した、筒状ポリシリコン膜19とポリシリコン膜15をキャパシタの一方の電極とし、ポリシリコン膜21を他方の電極とし、この二つの電極間の絶縁膜を SiN 薄膜20とした筒状キャパシタにおいて、所望のキャパシタの容量を得るためには、筒状ポリシリコン膜19の開口径が小さいと、筒状ポリシリコン膜19の高さを高くして、キャパシタの電極面積を大きくしなければならない。しかし、筒状ポリシリコン膜19の高さを高くする

10

20

30

40

50

と、後続工程のコンタクトホール形成工程や配線形成工程等におけるフォトリソのバターンニングの露光時に、露光装置の焦点深度の関係で、半導体ウェハ全面での精度良いバターンニングができなくなるという問題が生じる。

【0012】この対策の一つとして、筒状ポリシリコン膜19表面を粗面化して、キャパシタの電極面積を大きくする粗面ポリシリコン法がある。これは、減圧CVD法によりポリシリコン膜18を堆積する際、約570°C程度で堆積し、ポリシリコンのグレインサイズを大きくして、ミクロな凹凸が形成されたポリシリコン膜18表面とするものである。このことで、キャパシタの電極面積は大きくなり、筒状ポリシリコン膜19の高さをあまり高くせずに、所望のキャパシタの容量が得られる。しかし、この粗面ポリシリコン法によるポリシリコン膜18表面のミクロな凹凸形成は、プロセス条件が厳しく、所望のキャパシタの容量を安定して得ることが難しいという問題がある。

【0013】

【発明が解決しようとする課題】本発明は、上述した半導体記憶装置の製造方法における問題点を解決することをその目的とする。即ち本発明の課題は、筒状キャパシタの高さをあまり高くせずに、所望のキャパシタの容量が確実に得られる半導体記憶装置の製造方法を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明の半導体記憶装置の製造方法は、上述の課題を解決するために提案するものであり、筒状キャパシタを持つ記憶ノード電極を有する半導体記憶装置の製造方法において、筒状キャパシタ形成に用いる絶縁膜を堆積する工程と、絶縁膜上に非晶質膜を堆積する工程と、非晶質膜をバターンニングして、非晶質膜パッドを形成する工程と、低温熱処理法により、非晶質膜を結晶粒径の大きい多結晶膜に変換して、多結晶膜パッドを形成する工程と、多結晶膜パッドをマスクとして、絶縁膜を異方性プラズマエッチングによりエッチングし、絶縁膜による、凹凸側壁面を持つ柱状部を形成する工程と、筒状キャパシタの一方の電極とする導電体膜を堆積する工程と、筒状キャパシタの一方の電極とする前記導電体膜を異方性プラズマエッチングによりエッチバックして、柱状部側壁に筒状導電体膜を形成する工程と、筒状キャパシタの絶縁薄膜を堆積する工程と、筒状キャパシタの他方の電極とする導電体膜を堆積する工程とを有することを特徴とするものである。

【0015】また、本発明の半導体記憶装置の製造方法は、筒状キャパシタを持つ記憶ノード電極を有する半導体記憶装置の製造方法において、筒状キャパシタ形成に用いる絶縁膜を堆積する工程と、絶縁膜上に多結晶膜を形成する工程と、等方性プラズマエッチング法、および異方性プラズマエッチング後に等方性プラズマエッチン

グを行うプラズマエッチング法のうち、何れか一方の方法により、多結晶膜をバターンニングし、凹凸側壁面を持つ多結晶膜パッドを形成する工程と、多結晶膜パッドをマスクとして、絶縁膜を異方性プラズマエッチングによりエッチングし、絶縁膜による、凹凸側壁面を持つ柱状部を形成する工程と、筒状キャパシタの一方の電極とする導電体膜を堆積する工程と、筒状キャパシタの一方の電極とする導電体膜を異方性プラズマエッチングによりエッチバックして、柱状部側壁に筒状導電体膜を形成する工程と、筒状キャパシタの絶縁薄膜を堆積する工程と、筒状キャパシタの他方の電極とする導電体膜を堆積する工程とを有することを特徴とするものである。

【0016】本発明によれば、非晶質膜、例えば非晶質シリコン膜をバターンニングして、非晶質膜パッドを形成した後、低温熱処理法により、上記非晶質膜パッドを非晶質膜を結晶粒径の大きい多結晶シリコン膜に変換して、多結晶シリコン膜パッドを形成することで、凹凸側壁面を持つ多結晶シリコン膜パッドを形成することができる。この凹凸側壁面を持つ多結晶シリコン膜パッドをマスクにして、筒状キャパシタ形成に用いる絶縁膜をバターンニングし、凹凸側壁面を持つ柱状部を形成することで、この柱状部側壁を利用して形成される筒状キャパシタの電極面積を増加させることができる。従って、筒状キャパシタの高さをあまり高くせずに、所望のキャパシタの容量が確実に得られる半導体記憶装置の作製が可能となる。

【0017】また、本発明によれば、結晶粒径の大きい多結晶膜、例えば多結晶シリコン膜を筒状キャパシタ形成に用いる絶縁膜上に形成し、この多結晶シリコン膜をバターンニングする際、まず異方性プラズマエッチングによるエッチングを行い、平坦な側壁を有する多結晶シリコン膜パッドを形成した後、続いて等方性プラズマエッチングを用いて、多結晶シリコン膜パッド側壁をエッチングし、多結晶シリコン膜パッドの結晶粒界面と結晶面部とのエッチング速度の差異によって、多結晶シリコン膜パッド側壁を凹凸側壁面にすることができる。この凹凸側壁面を持つ多結晶シリコン膜パッドをマスクにして、筒状キャパシタ形成に用いる絶縁膜をバターンニングし、凹凸側壁面を持つ柱状部を形成することで、この柱状部側壁を利用して形成される筒状キャパシタの電極面積を増加させることができる。従って、筒状キャパシタの高さをあまり高くせずに、所望のキャパシタの容量が確実に得られる半導体記憶装置の作製が可能となる。

【0018】

【発明の実施の形態】以下、本発明の具体的実施の形態例につき、添付図面を参照して説明する。なお従来技術の説明で参照した図9および図10中の構成部分と同様の構成部分には、同一の参照符号を付すものとする。

【0019】実施の形態例1

本実施の形態例は、メモリセルの記憶ノード電極が筒状

キャパシタを有したDRAMの製造方法に本発明を適用した例であり、これを図1～図5を参照して説明する。まず、常法に準ずる製造方法により、図1(a)に示すように、DRAMの構成素子であるMOSTランジスタ等を半導体基板11に形成し、半導体基板11上には、層間絶縁膜12を膜厚約500nm程度形成する。次に、層間絶縁膜12の上方に、被処理膜加工時に層間絶縁膜12の保護膜とするエッチング阻止膜、例えばSiN膜13を、減圧CVD法等により、膜厚約200nm程度堆積する。その後、記憶ノード電極部1の層間絶縁膜12とSiN膜13に記憶ノード電極部1のコンタクトホール14を形成し、更にその後記憶ノード電極とする導電体膜、例えば減圧CVD法による不純物をドーパしたポリシリコン膜15をコンタクトホール14部やSiN膜13上に堆積する。

【0020】なお、ポリシリコン膜15表面を平坦化させるため、ポリシリコン膜15堆積後に、フォトレジストを塗布してエッチバックするか、又はポリシリコン膜15表面をCMPしてもよい。更に又、ポリシリコン膜15表面を平坦化させるため、コンタクトホール14にポリシリコン埋め込みプラグを形成し、その後にポリシリコン膜を形成するという、2段階の工程で、図1(a)に示すポリシリコン膜15を形成してもよい。また、導電体膜であるポリシリコン膜15は、ポリシリコン膜を堆積した後に、ボロン又はリンをポリシリコン膜等の不純物を熱拡散させて低抵抗化したポリシリコン膜15であってもよい。

【0021】次に、絶縁膜、例えば常圧CVD法によるCVD酸化膜16を膜厚約600nm程度堆積する。その後、非晶質膜、例えば温度約520℃程度での、減圧CVD法による非晶質シリコン膜30を膜厚約200nm程度堆積する。なお、上述した非晶質シリコン膜30は、リン(P)やボロン(B)等の不純物の含まれたものでもよい。

【0022】次に、図1(b)に示すように、非晶質シリコン膜30をパターンニングして非晶質シリコン膜パッドを形成し、その後低温熱処理法、例えば600℃、10時間の熱処理を行って、非晶質シリコン膜パッドを結晶粒径の大きい多結晶シリコン膜(ポリシリコン膜)に変換することで、ポリシリコン膜パッド31を形成する。なお、上述した低温熱処理法により、非晶質シリコン膜パッドをポリシリコン膜パッド31にした時の、ポリシリコン膜パッド31の結晶粒径は、約0.3μm程度である。上述の低温熱処理法により結晶粒径を大きくしたポリシリコン膜パッド31部の構造の詳細を示したのが、図3の概略斜視図である。図3に示すように、ポリシリコン膜パッド31は、非晶質シリコン膜パッドを低温熱処理法により結晶化することで、結晶粒径の大きいポリシリコン膜パッド31に変換され、このポリシリコン膜パッド31は表面が凹凸になるだけでなく、ポリ

シリコン膜パッド31側壁面も凹凸になる。

【0023】次に、図1(c)に示すように、上記ポリシリコン膜パッド31をマスクとして、RIE等の異方性プラズマエッチングによるCVD酸化膜16のエッチングを行い、CVD酸化膜16による、柱状部32を形成する。この際の異方性プラズマエッチングは、例えばマグネトロン型RIE装置を用い、このエッチング条件としては、例えば下記のようなものである。

〔CVD酸化膜16のエッチング条件〕

C ₄ F ₈ ガス流量	: 15 sccm
COガス流量	: 300 sccm
Arガス流量	: 400 sccm
O ₂ ガス流量	: 5 sccm
圧力	: 5.3 Pa
RFパワー	: 1500 W

【0024】上述したエッチング条件で、ポリシリコン膜パッド31をマスクとしたCVD酸化膜16の異方性プラズマエッチング後の記憶ノード電極部1の状態の詳細構造を示した図が、図4の概略斜視図である。図4に示すように、CVD酸化膜16による柱状部32の側壁は、CVD酸化膜16のエッチング時にマスクであるポリシリコン膜パッド31の側壁形状を反映して、凹凸表面となる。

【0025】次に、図2(d)に示すように、記憶ノード電極部1における筒状キャパシタの一方の電極とする導電体膜、例えば減圧CVD法による、不純物のドーパされたポリシリコン膜を膜厚約50nm程度堆積する。その後、このポリシリコン膜、ポリシリコン膜パッド31およびポリシリコン膜15を、異方性プラズマエッチングにより、エッチバックして、柱状部32側壁に筒状ポリシリコン膜33を形成する。なお、導電体膜である上述したポリシリコン膜は、不純物を含まないポリシリコン膜を減圧CVD法で堆積した後に、ボロン又はリン等の不純物をポリシリコン膜に熱拡散させて低抵抗化したポリシリコン膜であってもよい。

【0026】次に、図2(e)に示すように、希フッ酸溶液を用いるウェットエッチング法により、CVD酸化膜16による柱状部32を除去する。この様にして、筒状キャパシタの一方の電極である筒状ポリシリコン膜33が形成される。この柱状部32除去後の筒状ポリシリコン膜33の詳細構造を示したのが、図5の概略斜視図である。図5に示すように、筒状ポリシリコン膜33は、多数の微細な凹凸のある筒状形状となっている。この様な筒状ポリシリコン膜33とすることで、筒状ポリシリコン膜33の表面積は、従来例の筒状ポリシリコン膜19の表面積に比較して、大幅に増加する。

【0027】次に、図2(f)に示すように、窒素雰囲気中の熱処理により、筒状ポリシリコン膜33やポリシリコン膜15の表面の窒化処理をした後、減圧CVD法により、筒状ポリシリコン膜33やポリシリコン膜15

で構成される記憶ノード電極部1のキャパシタの絶縁薄膜、例えばSiN薄膜34を膜厚約10nm程度堆積する。その後、筒状ポリシリコン膜33やポリシリコン膜15より成る、記憶ノード電極であるキャパシタの電極と対向する他方の電極となる導電体膜、例えば不純物をドーパしたポリシリコン膜35を膜厚約50nm程度堆積する。なお、導電体膜である上述したポリシリコン膜35は、不純物を含まないポリシリコン膜を減圧CVD法で堆積した後に、ボロン又はリン等の不純物をポリシリコン膜に熱拡散させて低抵抗化したポリシリコン膜であってよい。その後は、図面を省略するが、常法に準ずる製造方法により、DRAMを作製する。

【0028】上述したDRAMの製造方法を用いれば、CVD酸化膜16による、凹凸側壁面を持つ柱状部32を利用して形成する、筒状ポリシリコン膜33とポリシリコン膜15とより成る、記憶ノード電極であるキャパシタの一方の電極と、SiN薄膜34によるキャパシタの絶縁薄膜と、ポリシリコン膜35によるキャパシタの他方の電極とにより構成される筒状キャパシタは、キャパシタ電極面積が増加するために、筒状キャパシタの高さをあまり高くせずに、所望のキャパシタの容量を確実に得ることができる。

【0029】実施の形態例2

本実施の形態例は、メモリセルの記憶ノード電極が筒状キャパシタを有したDRAMの製造方法に本発明を適用した例であり、実施の形態例1の説明で使用了図1(c)および図2と、図6～図8を参照して説明する。

【0030】まず、図6(a)に示すように、実施の形態例1と同様な工程にて、記憶ノード電極部1のCVD酸化膜16を堆積するまでの工程を行う。その後、CVD酸化膜16上に膜厚約200nm程度の大きい結晶粒径の多結晶膜、例えば非晶質シリコン膜を堆積し、その後低温熱処理を行って、結晶粒径の大きな多結晶シリコン膜に変換して形成する多結晶シリコン膜(ポリシリコン膜)50を形成する。なお、この大きい結晶粒径の多結晶膜として、高温スパッタリング法で堆積したAl膜や、高温熱処理をしたAl膜や、WSi₂膜、MoSi₂膜、TiSi₂膜、CoSi₂膜等の多結晶の高融点金属シリサイド膜でもよい。

【0031】次に、図6(b)に示すように、パターンニングされたフォトリジスト51をマスクとして、ポリシリコン膜50を異方性プラズマエッチングによりエッチングして、ポリシリコン膜パッド52を形成する。このポリシリコン膜パッド52を形成後の、ポリシリコン膜パッド52部の詳細構造を示した図が、図7の概略斜視図である。図7に示すように、ポリシリコン膜50の異方性プラズマエッチングにより形成されたポリシリコン膜パッド52側壁面は、結晶粒界(グレナバングリ)に関係なく、平坦な、ほぼ垂直面となる。

【0032】次に、図6(c)に示すように、上述の異

方性プラズマエッチング後、引き続いてフォトリジスト51をマスクとして、ポリシリコン膜パッド52側壁を等方性プラズマエッチングによりエッチングする。この等方性プラズマエッチングを行うと、ポリシリコン膜パッド52側壁面は、結晶粒界部と結晶粒表面部とのエッチング速度差によって、凹凸表面となる。この様にして、ポリシリコン膜パッド52の面積より多少小さな面積で、凹凸側壁面を持つポリシリコン膜パッド53が形成される。

10 【0033】上記の等方性プラズマエッチングによりポリシリコン膜パッド53を形成後の、ポリシリコン膜パッド53部の詳細構造を示した図が、図8の概略斜視図である。平坦な、ほぼ垂直面を持つポリシリコン膜パッド52側壁を等方性プラズマエッチングすることで、異方性プラズマエッチングにより形成された平坦なポリシリコン膜パッド52側壁面は、図8に示すように、結晶粒径に関連する状態の、凹凸側壁面となる。

【0034】なお、上述した凹凸側壁面を持つポリシリコン膜パッド53形成は、異方性プラズマエッチングに続いて等方性プラズマエッチングを行うプラズマエッチングにより行ったが、ポリシリコン膜50を等方性プラズマエッチングのみでパターンニングする方法により、凹凸側壁面を持つポリシリコン膜パッド53を形成してもよい。

【0035】次に、凹凸側壁面を持つポリシリコン膜パッド53をマスクとし、実施の形態例1と同様にしてCVD酸化膜16をパターンニングし、図1(c)に示すように、CVD酸化膜による柱状部32を形成する。その後は、図2を用いて説明した実施の形態例1と同様な工程を経て、筒状キャパシタを有したDRAMを作製する。

【0036】上述したDRAMの製造方法を用いれば、CVD酸化膜16による、凹凸側壁面を持つ柱状部32を利用して形成する、筒状ポリシリコン膜33とポリシリコン膜15とより成る、記憶ノード電極であるキャパシタの一方の電極と、SiN薄膜34によるキャパシタの絶縁薄膜と、ポリシリコン膜35によるキャパシタの他方の電極とにより構成される筒状キャパシタは、キャパシタ電極面積が増加するために、筒状キャパシタの高さをあまり高くせずに、所望のキャパシタの容量を確実に得ることができる。

【0037】以上、本発明を2例の実施の形態例により説明したが、本発明はこれらの実施の形態例に何ら限定されるものではない。例えば、本発明の実施の形態例では、筒状キャパシタ形成に用いる絶縁膜をCVD酸化膜として説明したが、BPSG(Boro-Phospho Silicate Glass)膜やSOG(Spin On Glass)等の絶縁膜でもよい。また、本発明の実施の形態例では、筒状キャパシタの一方の電極とする導電体膜および筒状キャパシタの他方の電極と

する導電体膜を、不純物のドーパされたポリシリコン膜として説明したが、 WSi_2 膜、 $MoSi_2$ 膜、 $TiSi_2$ 膜、 $CoSi_2$ 膜等の多結晶の高融点金属シリサイド膜でもよい。更に、本発明の実施の形態例では、筒状キャパシタの絶縁膜を SiN 膜として説明したが、 SiN 膜の誘電率よりも大きな誘電率を持つ、 Ta_2O_3 膜等の高誘電体膜でもよい。その他、本発明の技術的思想の範囲内で、プロセス条件は適宜変更が可能である。

【0038】

【発明の効果】以上の説明から明らかなように、本発明の半導体記憶装置の製造方法は、凹凸側壁表面を持つ、絶縁膜による柱状部を用いて、筒状キャパシタを形成するため、筒状キャパシタの高さをあまり高くせずにキャパシタ電極面積を増加することができ、所望のキャパシタの容量を持つ半導体記憶装置の作製が可能となる。

【図面の簡単な説明】

【図1】本発明を適用した実施の形態例1の工程の前半を工程順に説明する、DRAMの記憶ノード電極部の概略断面図で、(a)はCVD酸化膜上に非晶質シリコン膜を形成した状態、(b)は非晶質シリコン膜をパターンニングして非晶質シリコン膜パッドを形成した後、低温熱処理で結晶粒径の大きなポリシリコン膜に変換して、ポリシリコン膜パッドを形成した状態、(c)はポリシリコン膜パッドをマスクとしてCVD酸化膜による柱状部を形成した状態である。

【図2】本発明を適用した実施の形態例1および実施の形態例2の工程の後半を工程順に説明する、DRAMの記憶ノード電極部の概略断面図で、(d)はポリシリコン膜の堆積後にエッチバックして、柱状部側壁に筒状ポリシリコン膜を形成した状態、(e)はウェットエッチングにより柱状部を除去した状態、(f)は SiN 膜を堆積した後、ポリシリコン膜を堆積した状態である。

【図3】図1(b)のポリシリコン膜パッド形成後における、ポリシリコン膜パッドの詳細構造を示す、記憶ノード電極部の概略斜視図である。

【図4】図1(c)の柱状部形成後における、柱状部の詳細構造を示す、記憶ノード電極部の概略斜視図である。

【図5】図2(e)の柱状部のエッチング後における、筒状ポリシリコン膜の詳細構造を示す、記憶ノード電極

部の概略斜視図である。

【図6】本発明を適用した実施の形態例2の工程の前半を工程順に説明する、DRAMの記憶ノード電極部の概略断面図で、(a)はCVD酸化膜上に結晶粒径の大きいポリシリコン膜を形成した状態、(b)はポリシリコン膜を異方性プラズマエッチングでエッチングしポリシリコン膜パッドを形成した状態、(c)はポリシリコン膜の異方性プラズマエッチング後に、引き続いて等方性プラズマエッチングを行って、凹凸側壁面を持つポリシリコン膜パッドを形成した状態である。

【図7】図6(b)の異方性プラズマエッチングでエッチングし、ポリシリコン膜パッド形成後における、ポリシリコン膜パッドの詳細構造を示す、記憶ノード電極部の概略斜視図である。

【図8】図6(c)の異方性プラズマエッチングに引き続き、等方性プラズマエッチングを行った後における、凹凸側壁面を持つポリシリコン膜パッドの詳細構造を示す、記憶ノード電極部の概略斜視図である。

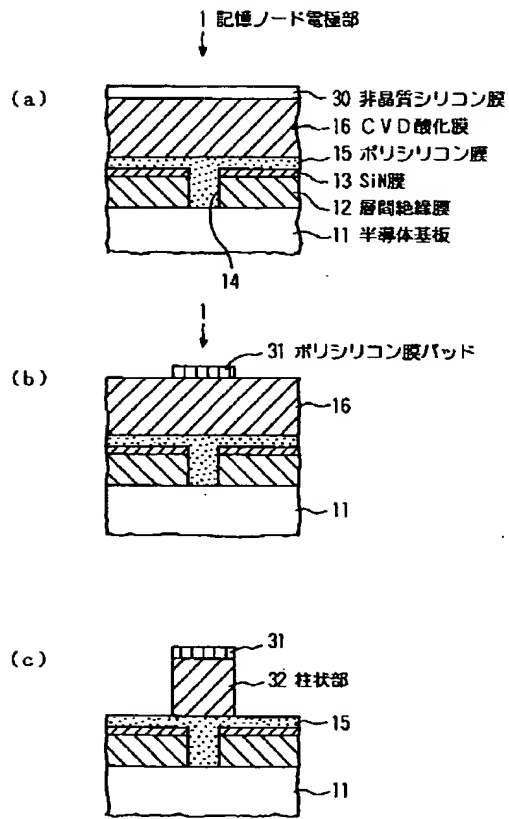
【図9】従来例の半導体記憶装置の製造方法の工程の前半を工程順に説明する、半導体記憶装置の記憶ノード部の概略断面図で、(a)はポリシリコン膜を堆積し、その後CVD酸化膜を堆積した状態、(b)はCVD酸化膜とポリシリコン膜を異方性エッチングして柱状部を形成し、その後ポリシリコン膜を堆積した状態、(c)はポリシリコン膜をエッチバックし、筒状ポリシリコン膜を形成した状態である。

【図10】従来例の半導体記憶装置の製造方法の工程の後半を工程順に説明する、半導体記憶装置の記憶ノード部の概略断面図で、(d)は柱状部のCVD酸化膜をウェットエッチングで除去した状態、(e)は SiN 膜を堆積し、その後ポリシリコン膜を堆積した状態である。

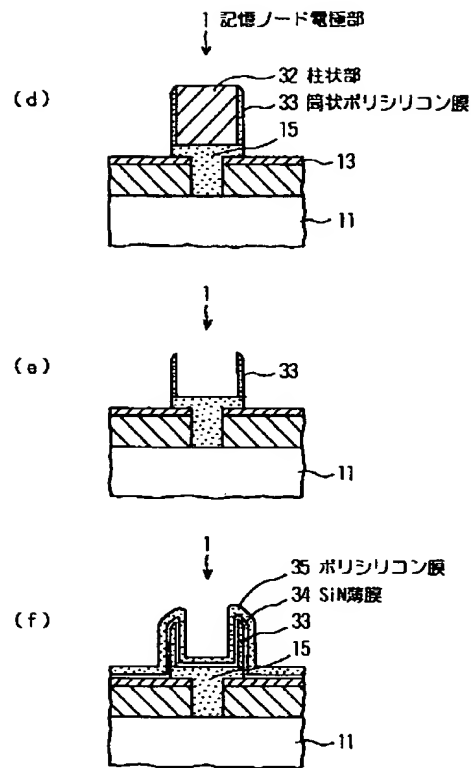
【符号の説明】

1…記憶ノード電極部、11…半導体基板、12…層間絶縁膜、13… SiN 膜、14…コンタクトホール、15、18、21、35、50…ポリシリコン膜、16…CVD酸化膜、17、32…柱状部、19、33…筒状ポリシリコン膜、20、34… SiN 薄膜、30…非晶質シリコン膜、31、52、53…ポリシリコン膜パッド、51…フォトレジスト

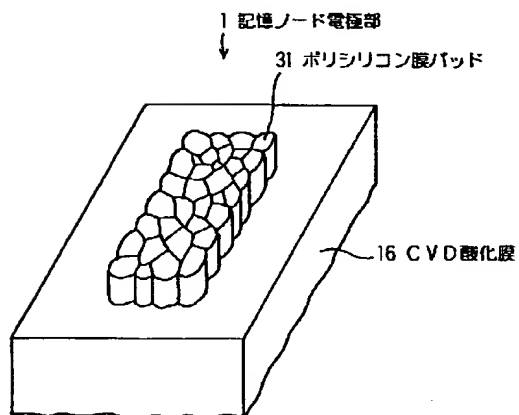
【図1】



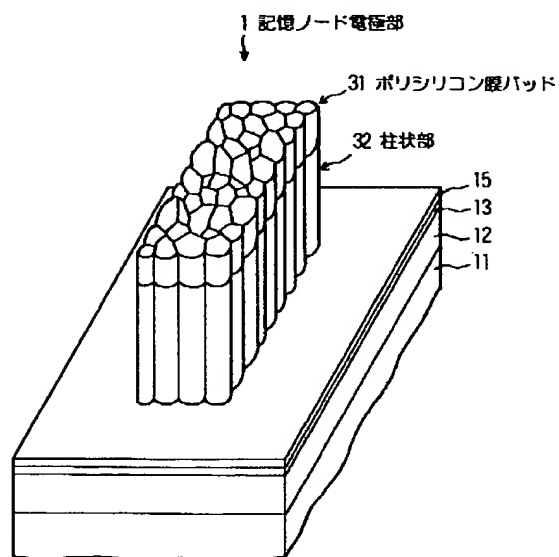
【図2】



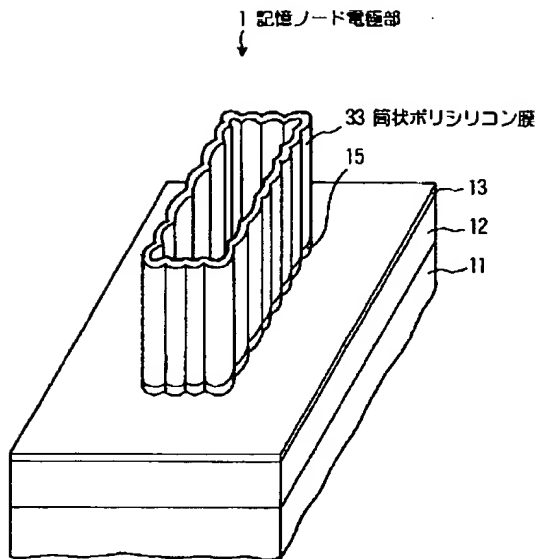
【図3】



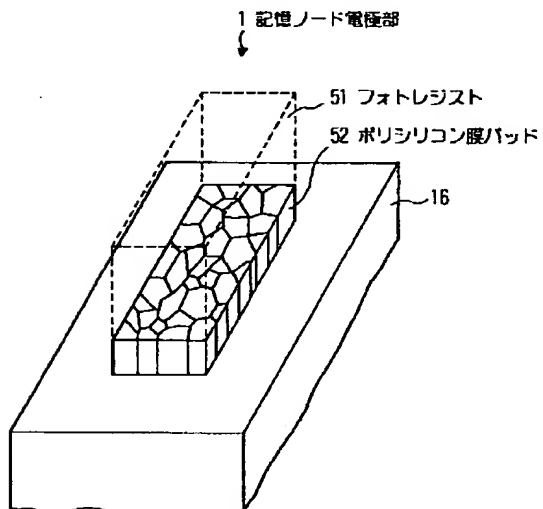
【図4】



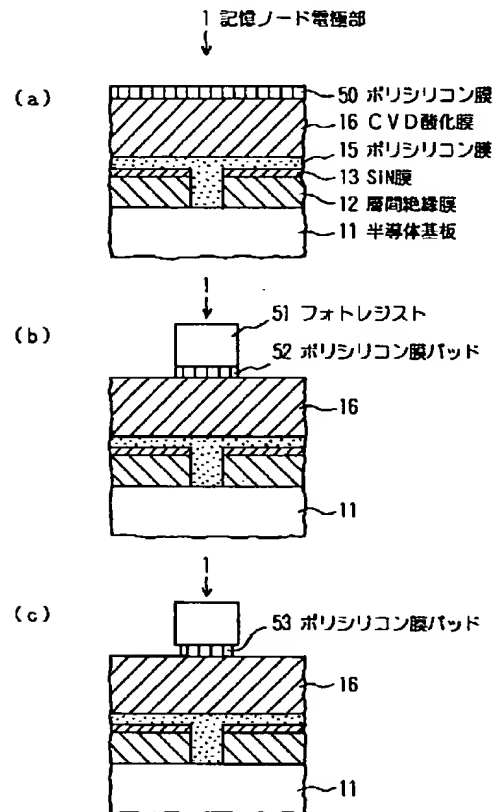
【図5】



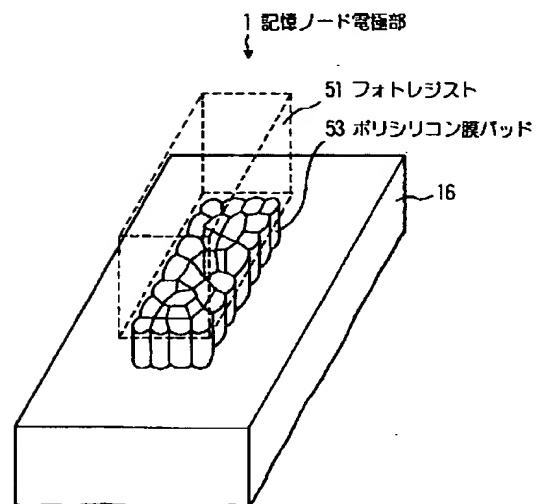
【図7】



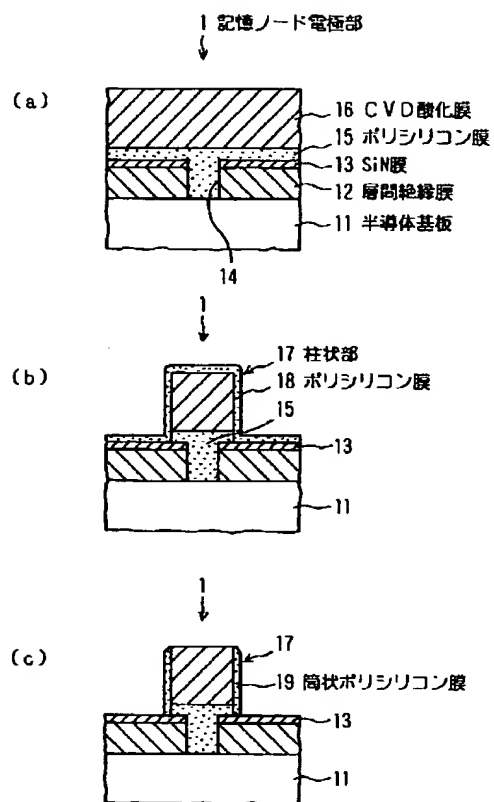
【図6】



【図8】



【図9】



【図10】

